

日 本 国 特 許 庁

JAPAN PATENT OFFICE

3/ Priority Doc.
E. Ushio
7-5-02

JC971 U.S. PTO
10/067866



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月 7日

出 願 番 号

Application Number:

特願2001-172477

出 願 人

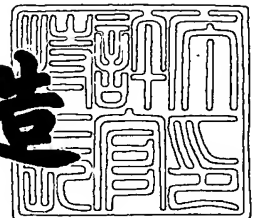
Applicant(s):

松下電器産業株式会社

2001年10月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3090420

【書類名】 特許願
【整理番号】 2924020090
【提出日】 平成13年 6月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/331
【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 青木 成剛

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の半導体層を有する基板と、

上記第 1 の半導体層の上に設けられ、上記第 1 の半導体層よりもバンドギャップが小さく、かつ、混晶半導体からなる第 2 の半導体層と、

上記第 2 の半導体層の上に設けられ、上記第 2 の半導体層よりもバンドギャップが大きい第 3 の半導体層とを備え、

上記第 1 の半導体層の少なくとも一部が第 1 導電型不純物を含むコレクタ領域であり、上記第 2 の半導体層の少なくとも一部が第 2 導電型不純物を含むベース領域であり、上記第 3 の半導体層の少なくとも一部が第 1 導電型不純物を含むエミッタ領域であるヘテロ接合バイポーラトランジスタとして機能する半導体装置であって、

上記第 2 の半導体層は、上記コレクタ領域からエミッタ領域に向かう方向にバンドギャップが小さくなる組成を有する傾斜組成層と、バンドギャップの変化率が上記傾斜組成層のバンドギャップの変化率よりも小さくなる組成を有する上部層とを有し、

エミッタ・ベース接合部が上記第 2 の半導体層の上部層中に形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

上記第 2 の半導体層のうち上部層における混晶半導体の組成がほぼ一定であり、上記上部層におけるバンドギャップがほぼ一定であることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、

上記第 2 の半導体層のうち上部層における混晶半導体の組成がほぼ連続的に変化しており、上記上部層のバンドギャップが上記コレクタ領域からエミッタ領域に向かう方向に小さくなるように変化していることを特徴とする半導体装置。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つの半導体装置において、

上記第 2 の半導体層は、上記上部層の上に、バンドギャップが上記コレクタ領

域からエミッタ領域に向かう方向に小さくなり、かつ、その変化率が上記上部層のバンドギャップの変化率よりも大きい最上部層をさらに有していることを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置において、

上記第 2 の半導体層は SiGe 層であり、

上記第 3 の半導体層は Si 層であって、

上記第 2 の半導体層の上部層における Ge 含有率が 2～8% の範囲であることを特徴とする半導体装置。

【請求項 6】 請求項 4 に記載の半導体装置において、

上記第 2 の半導体層は SiGe 層であり、

上記第 3 の半導体層は Si 層であって、

上記第 2 の半導体層の最上部層における Ge 含有率が 2～8% の範囲にあり、かつ、その変化幅が 4% 以内であることを特徴とする半導体装置。

【請求項 7】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置であって、

上記第 2 の半導体層は、Si、Ge 及び C を含む 3 元系の混晶半導体層であり

上記第 3 の半導体層は Si 層であることを特徴とする半導体装置。

【請求項 8】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置であって、

上記エミッタ・ベース接合部は、上記第 2 の半導体層の上部層のほぼ中央に位置していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヘテロ接合バイポーラトランジスタとして機能する半導体装置に係り、特に、電流増幅率などの特性のバラツキの抑制対策に関する。

【0002】

【従来の技術】

近年、シリコン基板を利用して形成されるバイポーラトランジスタは、微細加工技術・セルフアライン技術の進歩によって微細化、高速化が図られている。一般的なバイポーラトランジスタは、シリコン基板とシリコン基板の上にエピタキシャル成長されたシリコン単結晶層とを利用したいわゆるホモ接合型バイポーラトランジスタである。

【0003】

一方、より一層の高速動作化を目指すために、ヘテロ接合バイポーラトランジスタ（以下、「HBT」と記す）の研究開発が盛んに行われている。特に最近では、シリコン基板の上にシリコンとゲルマニウムとの混晶であるSiGe層をエピタキシャル成長させ、このSiGe層をベース層として用いたHBT（以下、「SiGe-HBT」と記す）の開発が積極的になされている。

【0004】

図6は、従来のSiGe-HBTの断面図である。同図に示すように、従来のSiGe-HBTは、Si基板101と、Si基板101の上にエピタキシャル成長されたSiエピタキシャル層102とを用いて形成されている。また、Si基板101とSiエピタキシャル層102との各一部に亘って設けられた N^+ 型埋め込み層110と、Siエピタキシャル層102の一部に比較的高濃度のN型不純物を導入して設けられた N^+ コレクタ引き出し層111とを備え、Siエピタキシャル層102のうち N^+ コレクタ引き出し層111を除く部分は低濃度のN型不純物を含む N^- コレクタ拡散層112となっている。また、Siエピタキシャル層102を各バイポーラトランジスタ形成領域ごとに区画するLOCOS分離116と、LOCOS分離116の下方に延びてSi基板101に達するディープトレンチ分離117とが設けられている。ただし、バイポーラトランジスタ形成領域内において、 N^+ コレクタ引き出し層111と N^- コレクタ拡散層112とを区画するLOCOS分離116の下方にはディープトレンチ分離117は設けられていない。

【0005】

さらに、Siエピタキシャル層102の N^- コレクタ拡散層112の上には、

P型不純物を含むSiGe混晶半導体層からなるSiGe膜108と、キャップ層となるSi膜109とがそれぞれエピタキシャル成長により形成されている。また、SiGe膜108及びSi膜109の側面からSi膜109の上面に亘る領域上に形成され高濃度のP型不純物を含むP⁺ベースポリシリコン膜114と、P⁺ベースポリシリコン膜114に形成された開口の上に設けられ高濃度のN型不純物を含むN⁺エミッタポリシリコン膜113とを備えている。ただし、P⁺ベースポリシリコン膜114とN⁺エミッタポリシリコン膜113とは、絶縁膜により互いに電氣的に分離されている。

【0006】

ここで、SiGe膜108およびSi膜109は、MBE法、UHV-CVD法またはLP-CVD法を用いてエピタキシャル成長されている。そして、Si膜109のうちN⁺ポリシリコン膜113の直下方の領域には、N⁺エミッタポリシリコン膜113からRTAにより拡散されたN型不純物（リン、砒素など）がドーピングされている。つまり、Si膜109のうちのN⁺型領域がNPNバイポーラトランジスタのエミッタ領域として機能し、SiGe膜108のP⁺型領域がNPNバイポーラトランジスタのベース領域として機能し、N⁻コレクタ拡散層102、N⁺型埋め込み層110及びN⁺コレクタ引き出し層111がNPNバイポーラトランジスタのコレクタ領域として機能する。

【0007】

半導体装置の製造プロセスにおいて、Siエピタキシャル層102の上にSiGe膜108をエピタキシャル成長させた後、SiGe膜108の上にSi膜109を連続的にエピタキシャル成長させる。Si膜109は、主にSiGeエピタキシャル成長後の後工程において、製造ラインへのGe汚染を防止するためにも必要とされるが、このSi膜109とエミッタポリシリコン膜113との膜厚に応じて、N型不純物を拡散させる熱処理条件を適宜選択することにより、Si膜109の所望の深さ位置にエミッタ・ベース接合部（以下、「EB接合部」という）を形成することができる。

【0008】

このように形成された従来のSiGe-HBTは、Si層のみからなるホモ接

合バイポーラトランジスタに比べて、エミッタ領域に不純物を高濃度にドーピングしなくてもエミッタ注入効率が大きいという利点があり、高い電流増幅率 (h_{FE}) とが期待される。

【0009】

図7は、傾斜組成を有するSi/SiGeヘテロ接合型バイポーラトランジスタ (SiGe-HBT) とSiホモ接合型バイポーラトランジスタ (Si-BT) とのバンド構造を比較するためのエネルギーバンド図である。SiGe-HBTにおいては、ベース領域からエミッタ領域に注入される正孔に対する障壁の高さを、エミッタ領域からベース領域へ注入される電子に対する障壁の高さよりも大きくすることができる。このため、エミッタ領域の不純物濃度を低くし、ベース領域の不純物濃度を高くしても、エミッタ注入効率は低下しない。

【0010】

言い換えると、SiGe-HBTでは、SiGeのナローバンドギャップ性を利用して、Si-BTに比べて、エミッタ領域を高濃度にドーピングしなくても高い電流増幅率を実現することができる。

【0011】

また、SiおよびGeのバンドギャップはそれぞれ約1.1 eV、約0.7 eVであり、Ge含有率が10～15%のSiGe膜の場合、バンドギャップはSiとGeの間の1.0 eV程度となる。このため、SiGe膜108中のGeの含有率をエミッタ側からコレクタ側に向かって単調に増大させる (傾斜組成) ことにより、図7の実線部分に示すごとく、エネルギーバンドギャップ E_g がエミッタ側からコレクタ側に向かって連続的に小さくなる傾斜構造となる。このため、下記式 (1)

$$E \text{ (eV)} = (1.1 - 1.0) / qW \quad (1)$$

(q : 電荷量、 W : ベース幅) によって表される内蔵電界 E がベース層に発生し、エミッタからベースに注入された少数キャリアを電界 E により加速させることができる。したがって、拡散のみによって少数キャリアがベース領域を走行する従来のSi-BTに比べて、動作の高速化を容易に実現することができる。

【0012】

【発明が解決しようとする課題】

しかしながら、上記従来の SiGe-HBTにおいては、以下のような不具合も存在する。

【0013】

図8は、図6に示すVIII-VIII 線断面における深さ方向の不純物濃度分布と Ge含有率変化とを示す図である。同図に示すように、SiGe膜108は、アンドープ層であるSiGeバッファ層108xと、高濃度のP型不純物が導入されかつバンドギャップが連続的に変化するSiGe傾斜組成層108yとに区画される。ベース領域となるP型不純物拡散領域132は、SiGe膜108の上部に形成されているが、エミッタ領域となるN型不純物拡散領域131は、Si膜109からSiGe膜108の一部に亘って形成されている。つまり、P型不純物拡散領域132とN型不純物拡散領域131とがオーバーラップしている。その理由は、エミッタ領域の形成のための熱処理の際、N型不純物は、エミッタポリシリコン膜113からSi膜109だけでなく、その下方のSiGe膜108の一部にまで達している。

【0014】

図9は、SiGe傾斜組成層108yでのN型不純物の拡散深さのバラツキを説明するための図である。同図に示すように、熱処理条件によって、EB接合部133を規定するN型不純物の拡散深さも大きくばらつくことから、EB接合部133の位置を精密に制御し、且つ、その位置のバラツキをなくすことは非常に困難である。

【0015】

以上のように、従来のSiGe-HBTにおいては、エミッタ領域の拡散深さ変動するので、実質的にEB接合部133におけるGe含有率変動してしまう。その結果、例えばEB接合部133におけるGe含有率が増大すると、EB接合部133におけるバンドギャップが小さくなるためコレクタ電流が増加し、結果的に電流増幅率が増加するという現象を生じる。つまり、EB接合部133でのGe含有率の微少な変動が電流増幅率の大きな変動を引き起こすので、電流増幅率が一定でバラツキの少ないトランジスタを得ることが困難になる。

【0016】

特に、トランジスタの高速化を図るためにベース層を薄膜化すると、Geの含有率変化の傾きが大きくなるので、EB接合部133の位置の微妙な変動による電流増幅率のバラツキへの影響が顕著になる。

【0017】

一方、EB接合部133がSiGe膜108中でなくSi膜109中に形成されてしまうと、EB接合部133がヘテロ接合部からはずれてナローバンドギャップの効果が失われるために、高い電流増幅率を得られなくなり、ヘテロ接合本来の効果を失われることになる。

【0018】

本発明の目的は、キャリア加速のためにバンドギャップを傾斜させた構造を有するヘテロ接合型バイポーラトランジスタにおいて、製造時にEB接合部の位置が変動しても、EB接合部におけるバンドギャップのバラツキを抑制する手段を講ずることにより、高速動作を維持しつつ、高い電流増幅率を安定して発揮させることにある。

【0019】

【課題を解決するための手段】

本発明の第1の半導体装置は、第1の半導体層を有する基板と、上記第1の半導体層の上に設けられ、上記第1の半導体層よりもバンドギャップが小さく、かつ、混晶半導体からなる第2の半導体層と、上記第2の半導体層の上に設けられ、上記第2の半導体層よりもバンドギャップが大きい第3の半導体層とを備え、上記第1の半導体層の少なくとも一部が第1導電型不純物を含むコレクタ領域であり、上記第2の半導体層の少なくとも一部が第2導電型不純物を含むベース領域であり、上記第3の半導体層の少なくとも一部が第1導電型不純物を含むエミッタ領域であるヘテロ接合バイポーラトランジスタとして機能する半導体装置であって、上記第2の半導体層は、上記コレクタ領域からエミッタ領域に向かう方向にバンドギャップが小さくなる組成を有する傾斜組成層と、バンドギャップの変化率が上記傾斜組成層のバンドギャップの変化率よりも小さくなる組成を有する上部層とを有し、エミッタ・ベース接合部が上記第2の半導体層の上記上部層

中に形成されている。

【0020】

これにより、エミッタ・ベース接合部が混晶半導体からなる第2の半導体層の上部層中に形成されているので、ナローバンドギャップによる高い電流増幅率を発揮することができる。また、第2の半導体層の上部層は傾斜組成層よりもバンドギャップの変化率が小さいので、エミッタ領域形成のための第1導電型不純物の導入範囲が変動しても、エミッタ・ベース接合部におけるバンドギャップのバラツキが小さくなり、電流増幅率の変動などバイポーラトランジスタの特性の変動幅を抑制することができる。

【0021】

上記第2の半導体層のうち上部層における混晶半導体の組成がほぼ一定であり、上記上部層におけるバンドギャップがほぼ一定であることにより、エミッタ領域形成のための第1導電型不純物の導入範囲が変動しても、バイポーラトランジスタの特性の変動をより小さく抑制することができる。

【0022】

上記第2の半導体層のうち上部層における混晶半導体の組成がほぼ連続的に変化しており、上記上部層のバンドギャップが上記コレクタ領域からエミッタ領域に向かう方向に小さくなるように変化していることにより、ベース層全体において、内蔵電界によるキャリアの加速機能をより効果的に発揮することができる。

【0023】

上記第2の半導体層が、上記上部層の上に、バンドギャップが上記コレクタ領域からエミッタ領域に向かう方向に小さくなり、かつ、その変化率が上記上部層のバンドギャップの変化率よりも大きい最上部層をさらに有していることにより、第2の半導体層と第3の半導体層との境界部における格子定数の差に起因する格子歪みが小さくなるので、第2及び第3の半導体層における格子歪みに起因する結晶欠陥の発生を抑制することができる。

【0024】

上記第2の半導体層がSiGe層であり、上記第3の半導体層がSi層であっ

て、上記第2の半導体層の上部層におけるGe含有率が2～8%の範囲であることにより、混晶半導体からなる第2の半導体層のナローバンドギャップによる高い電流増幅率と、傾斜組成によるベース走行の高速化との双方を実現することが容易となる。

【0025】

また、上記第2の半導体層がSiGe層であり、上記第3の半導体層がSi層であって、上記第2の半導体層の最上部層におけるGe含有率が2～8%の範囲にあり、かつ、その変化幅が4%以内であることにより、結晶欠陥の発生を抑制しつつ、高い電流増幅率とベース走行の高速化との双方を実現することが容易となる。

【0026】

上記第2の半導体層は、Si、Ge及びCを含む3元系の混晶半導体層であり、上記第3の半導体層はSi層であってもよい。

【0027】

上記エミッタ・ベース接合部は、上記第2の半導体層の上記上部層のほぼ中央に位置していることが好ましい。

【0028】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態におけるSiGe-HBTの断面図である。同図に示すように、本実施形態のSiGe-HBTは、Si基板11と、Si基板11の上にエピタキシャル成長されたSiエピタキシャル層12とを用いて形成されている。また、Si基板11とSiエピタキシャル層12との各一部に亘って設けられた N^+ 型埋め込み層20と、Siエピタキシャル層12の一部に比較的高濃度のN型不純物を導入して設けられた N^+ コレクタ引き出し層21とを備え、Siエピタキシャル層12のうち N^+ コレクタ引き出し層21を除く部分は低濃度のN型不純物を含む N^- コレクタ拡散層22となっている。また、Siエピタキシャル層12を各バイポーラトランジスタ形成領域ごとに区画するLOCOS分離26と、LOCOS分離26の下方に延びてSi基板11に達するデ

イープロレンチ分離27とが設けられている。ただし、バイポーラトランジスタ形成領域内において、 N^+ コレクタ引き出し層21と N^- コレクタ拡散層22とを区画するLOCOS分離26の下方にはディーププロレンチ分離27は設けられていない。

【0029】

さらに、Siエピタキシャル層12の N^- コレクタ拡散層22の上には、P型不純物を含むSiGe混晶半導体層からなるSiGe膜18と、キャップ層となるSi膜19とがそれぞれエピタキシャル成長により形成されている。また、SiGe膜18及びSi膜19の側面からSi膜19の上面に亘る領域上に形成され高濃度のP型不純物を含む P^+ ベースポリシリコン膜24と、 P^+ ベースポリシリコン膜24に形成された開口の上に設けられ高濃度のN型不純物を含む N^+ エミッタポリシリコン膜23とを備えている。ただし、 P^+ ベースポリシリコン膜24と N^+ エミッタポリシリコン膜23とは、絶縁膜により互いに電氣的に分離されている。

【0030】

ここで、SiGe膜18およびSi膜19は、MBE法、UHV-CVD法またはLP-CVD法を用いてエピタキシャル成長されている。そして、Si膜19のうち N^+ ポリシリコン膜23の直下方の領域には、 N^+ エミッタポリシリコン膜23からRTAにより拡散されたN型不純物（リン、砒素など）がドーピングされている。つまり、Si膜19のうちの N^+ 型領域が主としてNPNバイポーラトランジスタのエミッタ領域として機能し、SiGe膜18の P^+ 型領域が主としてNPNバイポーラトランジスタのベース領域として機能し、 N^- コレクタ拡散層12、 N^+ 型埋め込み層20及び N^+ コレクタ引き出し層21がNPNバイポーラトランジスタのコレクタ領域として機能する。

【0031】

半導体装置の製造プロセスにおいて、Siエピタキシャル層12の上にSiGe膜18をエピタキシャル成長させた後、SiGe膜18の上にSi膜19を連続的にエピタキシャル成長させる。Si膜19は、主にSiGeエピタキシャル成長後の後工程において、製造ラインへのGe汚染を防止するためにも必要とさ

れるが、このSi膜19とエミッタポリシリコン膜23との膜厚に応じて、N型不純物を拡散させる熱処理条件を適宜選択することにより、Si膜19の所望の深さ位置にエミッタ・ベース接合部（以下、「EB接合部」という）を形成することができる。

【0032】

図2は、本発明の第1の実施形態に係るSiGe-HBTのIa-Ia線断面（図1参照）における深さ方向の不純物濃度分布とGe含有率変化とを示す図である。同図に示すように、本実施形態においては、SiGe膜18が、アンドープ層であるSiGeバッファ層18xと、Ge含有率が単調に連続的に変化するSiGe傾斜組成層18aと、Ge含有率がほぼ一定のSiGe上部層18bとによって構成されている。この点が、本実施形態の特徴である。すなわち、SiGe傾斜組成層18aにおいては、Ge含有率が最小値（例えば2%～8%の値）になり、エミッタ領域からコレクタ領域に向かう方向に連続的に増大して、SiGeバッファ層18xに達したときにGe含有率が最大値（例えば20%～30%の値）となる。そして、SiGe上部層18bにおいては、Ge含有率はほぼ一定値となっている。

【0033】

一方、ベースとなるP型不純物拡散領域32は、SiGe傾斜組成層18aの上部とSiGe上部層18bの下部とに亘って形成されている。また、N型不純物拡散領域31は、Si膜19からSiGe上部層18bの一部に亘って形成されている。つまり、P型不純物拡散領域32とN型不純物拡散領域31との境界部であるEB接合部33は、SiGe上部層18b中の一部位に存在するように構成されている。つまり、エミッタ領域の形成のための熱処理の際、N型不純物は、エミッタポリシリコン膜23からSi膜19だけでなく、その下方のSiGe膜18にまで達するが、製造プロセス条件の変動やバラツキによってEB接合部33の位置が変動しても、EB接合部33がSiGe上部層18b中の一部位にあるように、SiGe傾斜組成層18a、SiGe上部層18b及びSi膜19の厚みがそれぞれ設定されている。

【0034】

つまり、製造プロセス条件の変動やバラツキにより、製造ロット間、ウエハ間及びウエハ面内で、 N^+ 型エミッタポリシリコン膜 23 からの N 型不純物の拡散深さが変動するが、変動範囲はプロセス条件から経験的にわかるので、N 型不純物の拡散深さの変動幅よりも SiGe 上部層 18b の厚みを大きくしておけば、EB 接合部 33 がほぼ確実に SiGe 上部層 18b 中に形成されるように設定することができる。

【0035】

特に、SiGe 上部層 18b の厚さ方向の中央位置と、N 型不純物がエミッタポリシリコン膜 23 から拡散する深さの変動範囲の中心とがほぼ一致するように設定することが好ましい。また、一般に SiGe 膜中の Ge 含有率の上限が 30 % 付近であることから、SiGe のナローバンドギャップによる高い電流増幅率と、傾斜組成によるベース走行の高速化との双方を実現するためには、SiGe 上部層 18b の Ge 含有率は、2～8 % の範囲であることが好ましい。

【0036】

本実施形態によると、製造プロセス条件の変動やバラツキによって EB 接合部 33 の位置が変動しても、EB 接合部 33 が、Ge 含有率がほぼ一定である SiGe 上部層 18b 中に形成されるように構成されているので、EB 接合部 33 における Ge 含有率はほぼ一定に保たれる。したがって、本実施形態の SiGe-HBT は、EB 接合部 33 が SiGe 上部層 18b に存在することで、ナローバンドギャップによる高い電流増幅率 h_{FE} を維持しつつ、比較的安定した電流増幅率を発揮することができる。

【0037】

なお、Ge の含有率の分布状態は、SiGe 層のエピタキシャル成長を行う時に、Ge 及び Si の各ソースガス（例えば、 GeH_4 と SiH_4 ）の分圧比を制御することで、任意のパターンに容易に制御することができる。

【0038】

また、SiGe 膜 18 上に形成されている Si 膜 19 の代わりに、微量の Ge が一定量含まれる SiGe 膜を設けても、本実施形態と同様の効果を発揮することができる。

【0039】

(第2の実施形態)

上述の第1の実施形態においては、エミッタ領域からベース領域に注入された少数キャリア（電子）は、ベース領域のうちGe含有率が変化する領域（SiGe傾斜組成層18a）に達するまでのSiGe上部層18bを走行している間は拡散によってのみ移動するため、その間は内蔵電界による加速の効果が得られず、高速動作という観点からは、若干不利である。

【0040】

本発明の第2の実施形態のSiGe-HBTは、上記第1の実施形態におけるこの不利益を解消するための手段を設けたものである。すなわち、内蔵電界による少数キャリアの加速機能を全ベース領域において維持しつつ、EB接合位置3の変動により生じる電流増幅率のバラツキを抑制するための構造に関する。

【0041】

図3は、本発明の第2の実施形態に係るSiGe-HBTのIa-Ia線断面（図1参照）における深さ方向の不純物濃度分布とGe含有率変化とを示す図である。本実施形態のSiGe-HBTの基本的な構造は、第1の実施形態における図1に示すとおりである。

【0042】

図3に示すように、本実施形態に係るSiGe-HBTにおいては、SiGe上部層18bにおけるGe含有率が一定ではなく、エミッタ領域からコレクタ領域に向かう方向に緩やかに増大している。そして、EB接合部33がSiGe上部層18b中に形成されていること、SiGe傾斜組成層18aのGe含有率がコレクタ領域からエミッタ領域に向かう方向に大きく変化していることは、第1の実施形態と同様である。

【0043】

本実施形態においても、製造プロセス条件の変動やバラツキによってEB接合部33の位置が変動しても、EB接合部33がSiGe上部層18b中の一部位にあるように、SiGe傾斜組成層18a、SiGe上部層18b及びSi膜19の厚みがそれぞれ設定されている。

【 0 0 4 4 】

そして、製造プロセス条件の変動やバラツキにより、製造ロット間、ウエハ間及びウエハ面内で、 N^+ 型エミッタポリシリコン膜 2 3 からの N 型不純物の拡散深さが変動するが、変動範囲はプロセス条件から経験的にわかるので、N 型不純物の拡散深さの変動幅よりも SiGe 上部層 1 8 b の厚みを大きくしておけば、EB 接合部 3 3 がほぼ確実に SiGe 上部層 1 8 b 中に形成されるように設定することができる。

【 0 0 4 5 】

特に、SiGe 上部層 1 8 b の厚さ方向の中央位置と、N 型不純物がエミッタポリシリコン膜 2 3 から拡散する深さの変動範囲の中心とがほぼ一致するように設定することが好ましい。なお、一般に SiGe 膜中の Ge 含有率の上限が 3 0 % 付近であることから、SiGe のナローバンドギャップによる高い電流増幅率と、傾斜組成によるベース走行の高速化との双方を実現するためには、SiGe 上部層 1 8 b の Ge 含有率は、2 ~ 8 % の範囲で変化し、含有率の変化幅は 4 % 以内であることが好ましい。

【 0 0 4 6 】

本実施形態においては、上述の第 1 の実施形態と同様に、EB 接合 3 3 を SiGe 上部層 1 8 b 中に形成し、ナローバンドギャップによる高い電流増幅率 h_{FE} を維持することができる。また、エミッタポリシリコン膜 2 3 からの N 型不純物の拡散深さが変動しても、SiGe 上部層 1 8 b における Ge 含有率の変化は比較的小さいので、SiGe 傾斜組成層 1 8 b 内での EB 接合部 3 3 の位置の変動による Ge 含有率のバラツキを抑制することができる。しかも、SiGe 上部層 1 8 b に少数キャリア（電子）が注入されると、傾斜組成を有する SiGe 上部層 1 8 b を走行する際にも、内蔵電界による少数キャリアの加速機能が得られるので、本実施形態の SiGe-HBT は、第 1 の実施形態に比べてさらに動作速度の向上を図ることができる。

【 0 0 4 7 】

なお、本実施形態においては、SiGe 膜 1 8 のうち SiGe 傾斜組成層 1 8 a と SiGe 上部層 1 8 b との境界部で Ge 含有率の変化線に折れ曲がり点があ

るが、両者の境界部においてGe含有率を連続的に変化させることにより、Ge含有率の変化線に折れ曲がり点が生じないようにすることもできる。このような構造を有することにより、内臓電界によるキャリアの加速機能がより効果的に発揮される。

【0048】

(第3の実施形態)

本発明の第3の実施形態のSiGe-HBTは、第1および第2の実施形態と同様に、EB接合部の位置の変動により生じる電流増幅率のバラツキを抑えつつ、さらに、SiGe膜とSi膜との間の結晶欠陥の発生を抑制するための手段を設けたものである。

【0049】

図4は、本発明の第3の実施形態に係るSiGe-HBTのIa-Ia線断面(図1参照)における深さ方向の不純物濃度分布とGe含有率変化とを示す図である。本実施形態のSiGe-HBTの基本的な構造は、第1の実施形態における図1に示すとおりである。

【0050】

本実施形態に係るSiGe-HBTにおいては、SiGe膜18が、SiGe傾斜組成層18aと、SiGe上部層18bとに加えて、SiGe最上部層18cを有している。そして、SiGe上部層18bのGe含有率はほぼ一定であり、SiGe最上部層18cのGe含有率はコレクタ領域からエミッタ領域に向かう方向に急激に減少してSi膜19と隣接する部分でほぼ0になっている。そして、EB接合部33はSiGe上部層18b中に形成されている。また、P型不純物(ボロン)は、SiGe傾斜組成層18a及びSiGe上部層18bに導入されており、SiGe最上部層18cにはほとんど導入されていない。SiGe傾斜組成層18aのGe含有率がエミッタ領域からコレクタ領域に向かう方向に増大していることは、第1及び第2の実施形態と同様である。

【0051】

本実施形態においても、製造プロセス条件の変動やバラツキによってEB接合部33の位置が変動しても、EB接合部33がSiGe上部層18b中の一部位

にあるように、SiGe 傾斜組成層 18a, SiGe 上部層 18b, SiGe 最上部層 18c 及び Si 膜 19 の厚みがそれぞれ設定されている。

【0052】

そして、製造プロセス条件の変動やバラツキにより、製造ロット間、ウエハ間及びウエハ面内で、 N^+ 型エミッタポリシリコン膜 23 からの N 型不純物の拡散深さが変動するが、変動範囲はプロセス条件から経験的にわかるので、N 型不純物の拡散深さの変動幅よりも SiGe 上部層 18b の厚みを大きくしておけば、EB 接合部 33 がほぼ確実に SiGe 上部層 18b 中に形成されるように設定することができる。

【0053】

本実施形態においても、SiGe 上部層 18b の厚さ方向の中央位置と、N 型不純物がエミッタポリシリコン膜 23 から拡散する深さの変動範囲の中心とがほぼ一致するように設定することが好ましい。なお、一般に SiGe 膜中の Ge 含有率の上限が 30% 付近であることから、SiGe のナローバンドギャップによる高い電流増幅率と、傾斜組成によるベース走行の高速化との双方を実現するためには、SiGe 上部層 18c の Ge 含有率は、2~8% の範囲で変化し、含有率の変化幅は 4% 以内であることが好ましい。

【0054】

本実施形態においては、第 1 の実施形態と同様に、EB 接合部 33 における Ge 含有率がほぼ一定であることから、第 1 の実施形態と同様の効果を得ることができる。加えて、SiGe 最上部層 18c における Ge 含有率が上方に連続的に小さくなって、Si 膜 19 と隣接する部分で 0 になっていることから、以下のような効果をも発揮することができる。

【0055】

第 1 および第 2 の実施形態の場合、SiGe 膜 18 (SiGe 上部層 18b) の上端部における Ge 含有率が 0 ではなく一定の値を有している。ところが、Si と Ge とでは格子定数が 4% 程度相異なるので、SiGe 上部層 18b と Si 膜 19 との間に格子不整合が存在し、その結果、Si 膜 19 や SiGe 膜 18 中に格子歪みによる結晶欠陥を生じるおそれがある。

【0056】

それに対し、本実施形態においては、SiGe膜18（SiGe最上部層18c）の上端部とSi膜19との間に格子不整合がほとんど存在しないので、SiGe膜18及びSi膜19中に格子歪みに起因する結晶欠陥が発生するのを効果的に抑制することができる。

【0057】

－変形例－

図5は、本発明の第3の実施形態の変形例に係るSiGe-HBTのIa-Ia線断面（図1参照）における深さ方向の不純物濃度分布とGe含有率変化とを示す図である。本変形例のSiGe-HBTの基本的な構造は、第1の実施形態における図1に示すとおりである。

【0058】

この変形例では、SiGe上部層18bにおけるGe含有率が一定ではなく、エミッタ領域からコレクタ領域に向かう方向に緩やかに増大している。そして、EB接合部33がSiGe上部層18b中に形成されていること、SiGe最上部層18cのGe含有率がコレクタ領域からエミッタ領域に向かう方向に急激に減少してSi膜19に隣接する部分でほぼ0になっていることは、第3の実施形態と同様である。

【0059】

本変形例においては、上述の第3の実施形態と同じ効果に加えて、SiGe上部層18bにおける内臓電界により、第2の実施形態と同様にエミッタ領域からベース領域に注入された少数キャリア（電子）に対する加速機能を向上させることができる。

【0060】

なお、第3の実施形態又はその変形例におけるSiGe最上部層18cのSi膜19に接する部分のGe含有率は必ずしも0でなくてもよく、0に近い値であれば格子歪みによる結晶欠陥の発生を抑制する効果は得られるが、より効果的に本実施形態の効果を発揮するためには、SiGe最上部層18cのSi膜19に隣接する部分のGe含有率が0であることが好ましい。

【 0 0 6 1 】

(その他の実施形態)

上記第 1 ～ 第 3 の実施形態においては、本発明を Si / SiGe ヘテロ接合を有するバイポーラトランジスタ (SiGe-HBT) に適用した例について説明したが、本発明を、 Si / SiGeC 又は $\text{SiGe} / \text{SiGeC}$ ヘテロ接合を有するバイポーラトランジスタに適用しても、上記第 1 ～ 第 3 の実施形態と同様の効果を発揮することができる。その場合、ベース層を Si と Ge とカーボン (C) とを含む 3 元系の混晶半導体層とすることになる。

【 0 0 6 2 】

さらに、本発明を、上記第 1 ～ 第 3 の実施形態のような混晶半導体層を有する HBT ではなく、例えば、インジウム (In) とガリウム (Ga) と P とを含む化合物半導体層を有する HBT に適用しても、上記第 1 ～ 第 3 の実施形態と同様の効果を発揮することができる。

【 0 0 6 3 】

【発明の効果】

本発明の半導体装置によれば、キャリア加速のためにベース領域のバンドギャップを傾斜させた構造を有するヘテロ接合バイポーラトランジスタにおいて、 EB 接合部の位置が変動しても、 EB 接合部におけるバンドギャップのバラツキを抑制することができ、よって、高速動作を維持しつつ、高い電流増幅率を安定して発揮することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態における SiGe-HBT の断面図である。

【図 2】

本発明の第 1 の実施形態に係る SiGe-HBT の Ia-Ia 線断面 (図 1) における深さ方向の不純物濃度分布と Ge 含有率変化とを示す図である。

【図 3】

本発明の第 2 の実施形態に係る SiGe-HBT の Ia-Ia 線断面 (図 1) における深さ方向の不純物濃度分布と Ge 含有率変化とを示す図である。

【図 4】

本発明の第 3 の実施形態に係る SiGe-HBT の Ia-Ia 線断面 (図 1) における深さ方向の不純物濃度分布と Ge 含有率変化とを示す図である。

【図 5】

本発明の第 3 の実施形態の変形例に係る SiGe-HBT の Ia-Ia 線断面 (図 1) における深さ方向の不純物濃度分布と Ge 含有率変化とを示す図である。

【図 6】

従来の SiGe-HBT の断面図である。

【図 7】

傾斜組成を有する SiGe-HBT と Si-BT とのバンド構造を比較するためのエネルギーバンド図である。

【図 8】

図 6 に示す VIII-VIII 線断面における深さ方向の不純物濃度分布と Ge 含有率変化とを示す図である。

【図 9】

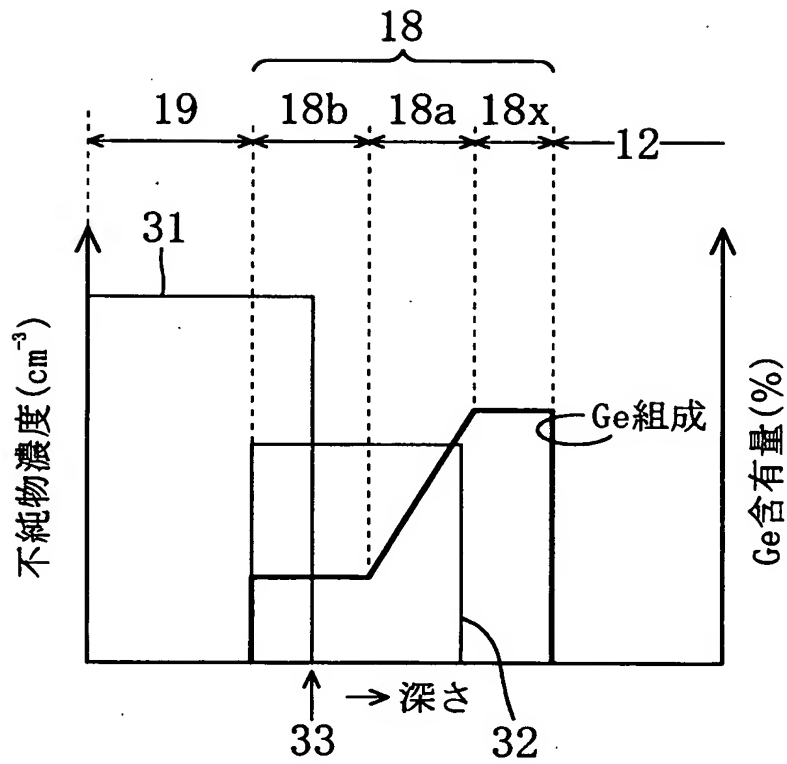
SiGe 傾斜組成層での N 型不純物の拡散深さのバラツキを説明するための図である。

【符号の説明】

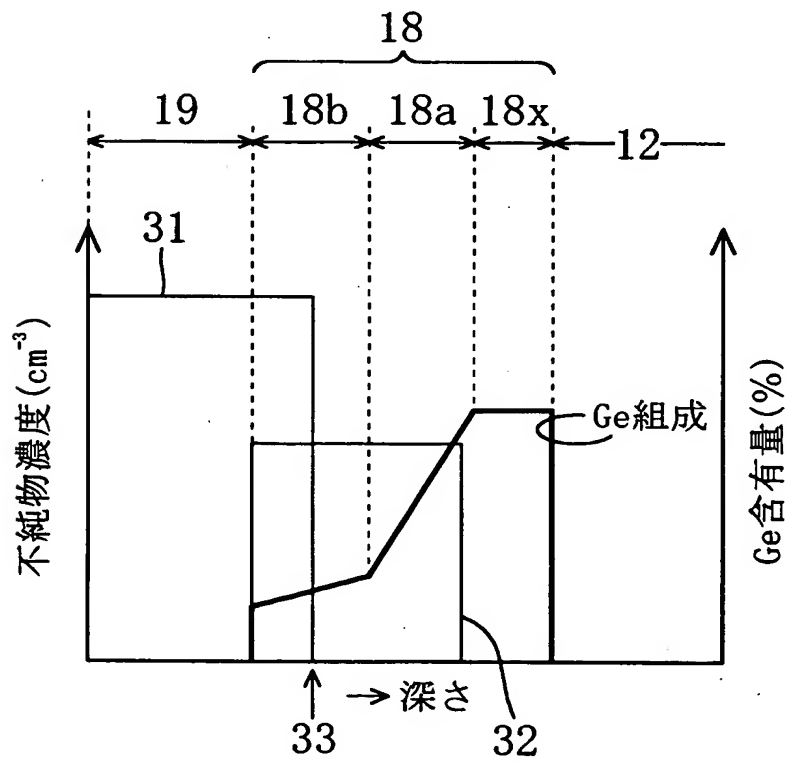
- 11 Si 基板
- 12 Si エピタキシャル層
- 18 SiGe 膜
- 18a SiGe 傾斜組成層
- 18b SiGe 上部層
- 18c SiGe 最上部層
- 18x SiGe バッファ層
- 19 Si 膜
- 20 N^+ 型埋め込み層
- 21 N^+ 型コレクタ引き出し層
- 22 N^- 型コレクタ拡散層

- 2 3 N^+ 型エミッタポリシリコン膜
- 2 4 P^+ 型ベースポリシリコン膜
- 2 6 LOCOS分離
- 2 7 ディープトレンチ分離
- 3 1 N型不純物拡散領域
- 3 2 P型不純物拡散領域
- 3 3 EB接合部

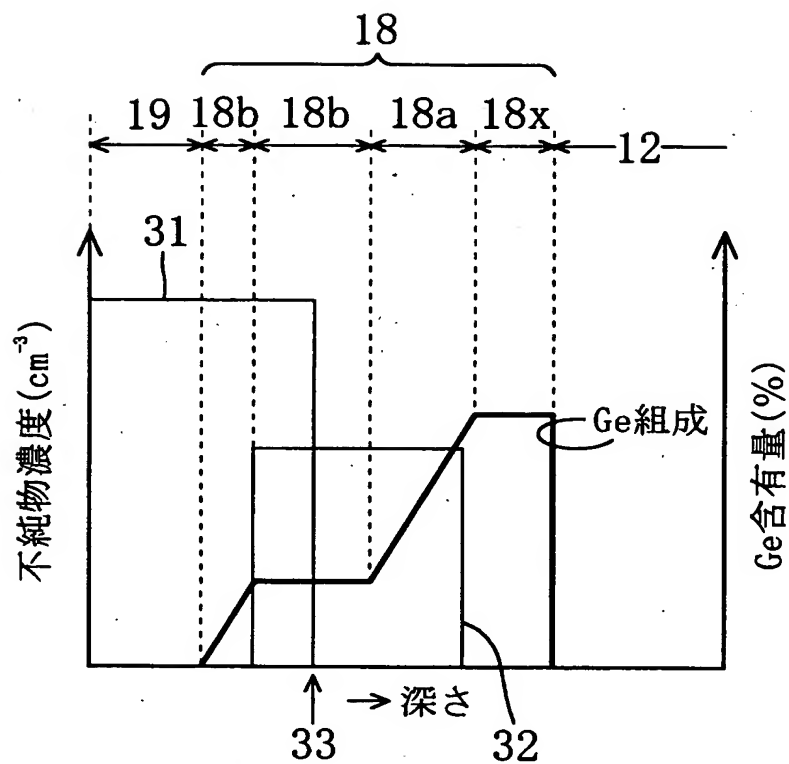
【図 2】



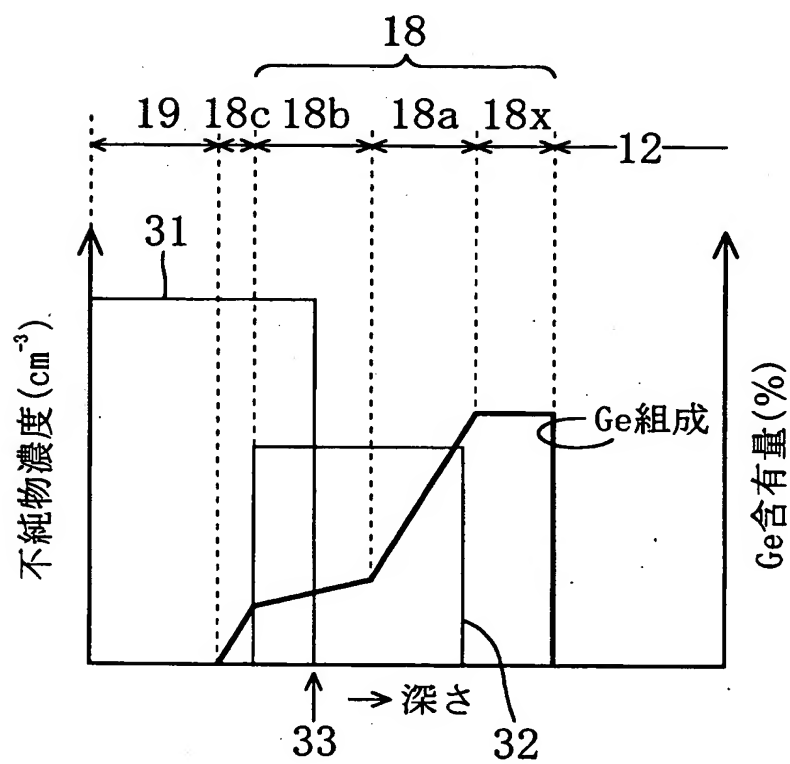
【図 3】



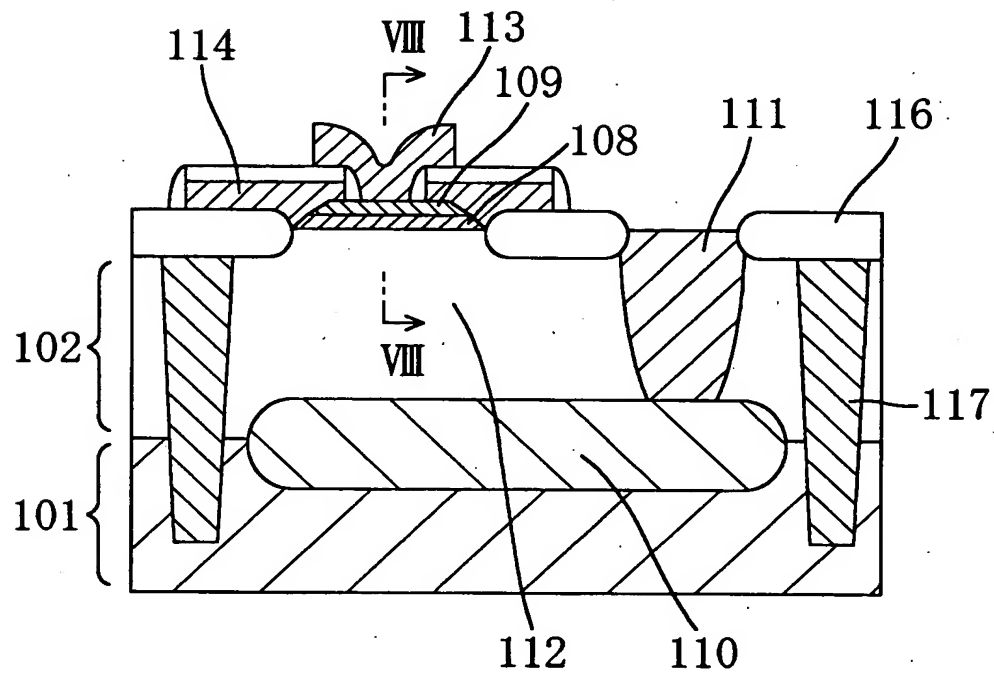
【図4】



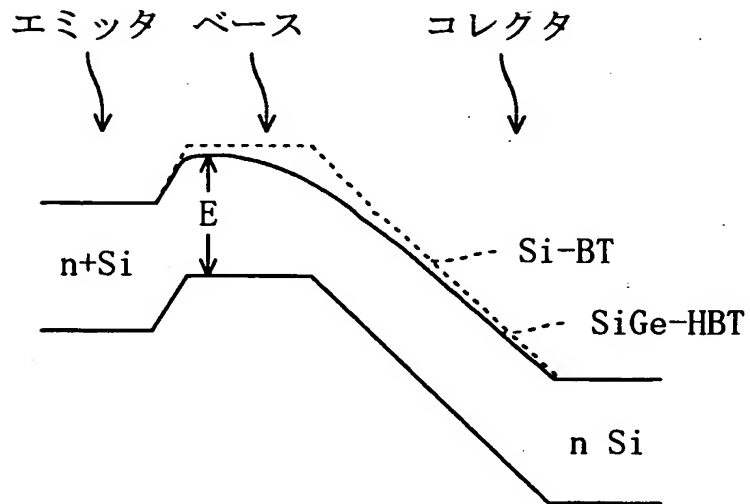
【図5】



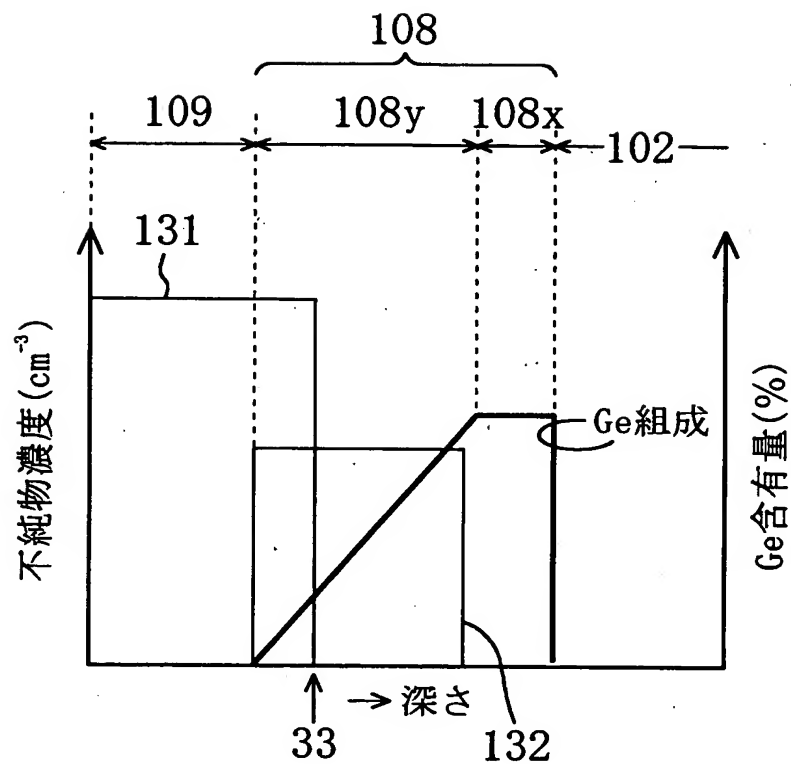
【図 6】



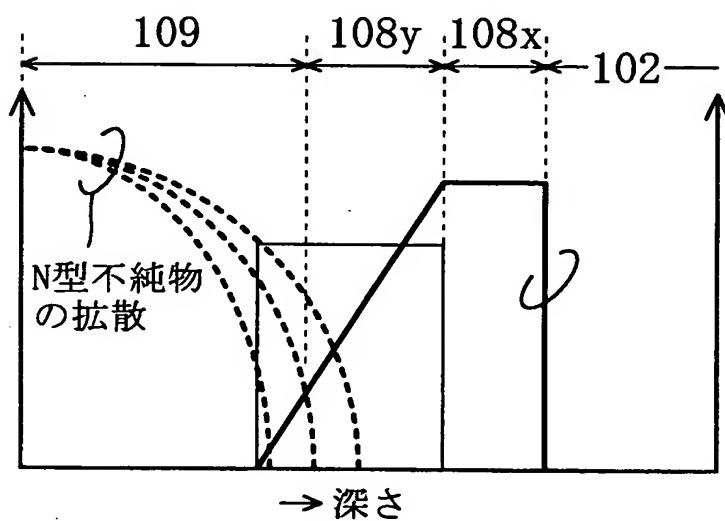
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高速動作が可能で、高い電流増幅率が安定して得られるヘテロ接合型バイポーラトランジスタを提供する。

【解決手段】 SiGe-HBTには、SiGe膜18と、Si膜19とを順次エピタキシャル成長により設けられている。SiGe膜18は、SiGeバッファ層18xと、SiGe傾斜組成層18aと、Ge含有率がほぼ一定又はSiGe傾斜組成層18aよりも小さいSiGe上部層18bとによって構成されている。EB接合部33の位置が変動しても、EB接合部33がSiGe上部層18b中の一部位にあるので、EB接合部33におけるGe含有率の変動を抑制することができ、高い電流増幅率を安定して得ることができる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社